

変調器を用いたデジタル位相同期ループのジッタ性能改善とスプリアス低減に関する研究

著者	嘉藤 貴博
著者別名	KATO Takahiro
その他のタイトル	A study of improved jitter performance and reduced spurious tones in digital phase locked loops using modulators.
ページ	1-152
発行年	2021-03-24
学位授与番号	32675甲第513号
学位授与年月日	2021-03-24
学位名	博士(工学)
学位授与機関	法政大学 (Hosei University)
URL	http://doi.org/10.15002/00024127

博士学位論文
論文内容の要旨および審査結果の要旨

論文題目	$\Delta\Sigma$ 変調器を用いたデジタル位相同期ループのジッタ性能改善と スプリアス低減に関する研究
氏名	嘉藤 貴博
学位の種類	博士（工学）
学位番号	第 513 号
学位授与年月日	2021 年 3 月 24 日
学位授与の要件	法政大学学位規則第 5 条第 1 項第 1 号該当者（甲）
論文審査委員	主 査 安田 彰 教授 副 査 斉藤 利通 教授 副 査 鳥飼 弘幸 教授 副 査 谷本 洋 名誉教授（北見工業大学）

1. 論文内容の要旨

近年、5Gを始めWireless Lanや光通信などの通信の高速化が進み、さらなる高速化への要求が高まっている。これらの通信の高速化を実現する上で、情報を載せたための搬送波信号の高精度化が欠かせない。搬送波の周波数が揺らぐと変調等により搬送波信号に載せた情報に雑音が付加され、高速通信が阻害されるためである。このため、高精度な周波数シンセサイザ回路が重要である。このため、周波数の揺らぎを位相の変化として検出し、これをフィードバックすることで周波數位相精度を高めるアナログ・フェーズ・ロックド・ループ（PLL）回路が広く用いられていた。しかし、位相差をアナログ回路で検出するアナログ方式が主流であった。

高速通信を用いるアプリケーションに目を向けると、スマートフォンなどの小型機器が普及し、これらにおいては通信の高速化に加え機能部品の小型化、低消費電力化も重要である。また、半導体素子は、ムーアの法則に従い数年で素子サイズが1/2に縮小され、現在ではゲート長が7 nmのCMOSトランジスタが主流となっている。素子の微細化により、デジタル回路の回路面積は縮小し、トランジスタのスイッチング速度は向上する。しかし、トランジスタの特性バラツキはむしろ大きくなり、雑音に大きな改善は見られていない。

このような背景から、今後の周波数シンセサイザには、より高い周波数精度（低位相雑音）、小型、低消費電力などの特性が求められている。これを微細化、高速化されるCMOS技術を使って実現することが重要な課題となる。

本論文は、高精度に位相差を検出する方法を確立し、これをPLLに適用することで高精度周波数基準信号生成の実現を目的としている。これを実現するため、信号の位相差（時間差）を高精度に検出し、デジタル信号に変換する高精度時間デジタル変換器（Time to Digital Convertor: TDC）を、高精度変換技術である $\Delta\Sigma$ 変調器を用いて実現する方法を提案している。また、これを複数同時に動作させることで、変換スピードを向上させ、PLL

の動作周波数を高め、これにより位相雑音の低減を実現している。この際、素子のバラツキの影響を低減するため、新しいダイナミック・エレメント・マッチング (DEM) 技術を導入している。

本論文は、以下の章で構成されている。第1章では、研究の背景、目的を述べ、第2章で無線通信における PLL の役割について説明している。

第3章では、アナログ PLL における、ループ帯域と発振器雑音の抑圧効果、基準信号源起因のスプリアス発生について概説している。ループ帯域を拡大する際に、基準信号源の周波数を高くする必要があるが、その際に基準信号源の周波数を通倍すると、スプリアスが発生する問題が生じる。これは、ループ帯域の拡大による低ジッタ高精度信号生成の際の問題となっている。この問題に関して、第6章で解決法を提案している。

第4章では、デジタル PLL の基本的な動作原理を、第3章で説明したアナログ PLL の基本原理をもとに説明している。デジタル PLL はアナログ信号である位相差をデジタル値に変換し、デジタルフィルタで帯域制限した後、デジタル制御の発振器に戻して、発振信号というアナログ値を得る。このため、TDC、デジタルフィルタ、デジタル制御発振器 (Digital Controlled Oscillator : DCO) が必要となる。この TDC に関して、TDC のメリットと問題点を議論し、最適な TDC の回路形式の選択方法を提案している。

第5章では、 $\Delta \Sigma$ 変調器、 $\Delta \Sigma$ AD 変換器、フラクショナル-N-PLL に関して説明している。本論文では、TDC に1次の $\Delta \Sigma$ AD 変換回路、クロックを切り替えてシャッフリングを行うために3次 MASH 型 $\Delta \Sigma$ 変調器を用いている。このためノイズシェーピングの原理に関しても説明を行っている。フラクショナル-N-PLL の量子化雑音の改善のため、3次 MASH 型 $\Delta \Sigma$ 変調器で分周器選択をシャッフリングする手法について、その量子化雑音の低減の方法を説明している。

第6章では提案手法である周波数通倍機能を持った $\Delta \Sigma$ TDC の動作原理、スプリアスの低減に関して解説し、シミュレーションを用いて特性を確認している。また、 $\Delta \Sigma$ TDC の中に固定位相差の減算回路を用いることで、DLL 等の周波数通倍回路を削減できることを提案している。DEM で基準信号源起因のスプリアスの低減を図っている。DEM を駆動する数列信号は、スプリアス抑圧の特性を左右する。線形シフトレジスタを用いた MASH を提案し、スプリアスの低減を実現している。

第7章では6章の $\Delta \Sigma$ TDC を用いたデジタル PLL を提案し、ループ帯域拡大による発振器雑音の低減、PLL ジッタの低減を図っている。また、DEM による基準信号起因のスプリアスの低減手法を提案し、シミュレーションを用いてその特性を確認している。

第8章では、第7章の周波数通倍機能を持った $\Delta \Sigma$ TDC の問題であった常に DEM を行くと SNR が悪化することに対して、常に DEM を行っても、SNR が悪化しない、Fulltime Multiplied $\Delta \Sigma$ TDC を提案している。これまでは複数の $\Delta \Sigma$ ADC が必要であったが、1つの $\Delta \Sigma$ ADC で実現する方法を提案している。前提案手法ではシャッフリング毎に、量子化誤差がリセットされていたが、新提案手法では、積分回路の情報の保持が可能になった。

これにより回路規模、消費電力ともに削減でき、常にシャッフリングを行うことでスプリアスの低減と SNR の劣化のないことを示している。

2. 審査結果の要旨

本論文では、ジッタの少ない（低位相雑音）高精度信号生成を実現するため、 $\Delta\Sigma$ 変調器を用いた高速高精度時間-デジタル変換器、これを用いた周波数シンセサイザの実現方法を提案、評価している。審査の結果、下記の点において、工学上の新規性と有効性を確認した。

1. 周波数通倍機能を持った $\Delta\Sigma$ TDC

従来は、基準信号の周波数を通倍する必要がある、その際にスプリアスの発生が問題となっていた。提案する手法では、基準信号の周波数を通倍するのではなく、基本となる $\Delta\Sigma$ TDC を複数用いている。高い周波数の信号を、位相をずらして複数の信号に分周し、この信号をそれぞれ異なる位相で、その位相差をデジタル値に変換し、複数の信号を合成している。この際問題となるスプリアスを、DEM を用いることで抑圧させ、その効果をシミュレーションにより確認している。

2. 周波数通倍機能を持った $\Delta\Sigma$ TDC を用いた PLL の提案

提案している周波数通倍機能を持った $\Delta\Sigma$ TDC により、高速に位相差時間をデジタル信号に変換する PLL を提案している。これにより、PLL のループ帯域を拡大させジッタ（位相雑音）の低減を実現している。また、従来必要であった、基準信号の通倍回路が不要となり、スプリアスの発生を低減させている。

3. Fulltime Multiplied $\Delta\Sigma$ TDC の提案

提案する手法では、DEM を連続的に動作させるとスプリアスの発生を抑えることができるが、TDC の信号雑音比（SNR）が劣化する問題があった。提案している Fulltime Multiplied $\Delta\Sigma$ TDC では、1つの $\Delta\Sigma$ TDC に複数の位相差検出回路からの時間差信号を逐次入力する回路を用いている。この方法では、DEM を常に動作させた場合でも、 $\Delta\Sigma$ TDC を構成する積分器の値がリセットされず保持されるため、理想的なノイズシェーピング特性が実現されている。これにより、低スプリアスかつ高 SNR を実現している。

以上、本論文では、信号の位相差（時間差）を高精度に検出し、デジタル信号に変換する $\Delta\Sigma$ 変調器を用いた高精度 TDC を提案している。また、これを複数同時に動作させることで、変換スピードを向上させ、PLL の動作周波数を高め、位相雑音の低減を実現している。スプリアスの原因となる、素子バラツキの影響を低減するため、精度に関わる $\Delta\Sigma$ TDC の積分器への影響のない DEM 技術を提案し、スプリアスの低減を実現している。これらは、工学に資するところが大きい。よって、本審査小委員会は全会一致をもって提出論文が博

士（工学）の学位に値するとの結論に達した.

（報告様式Ⅲ）